

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Akira YAMANOUE, et al.

Serial Number: Not Yet Assigned

Filed: October 29, 2003

Customer No.: 38834

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


**Japanese Appln. No. 2002-316605, filed on October 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 032069  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/amr

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月30日  
Date of Application:

出願番号 特願2002-316605  
Application Number:

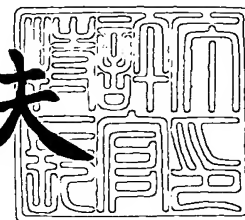
[ST. 10/C]: [JP 2002-316605]

出願人 富士通株式会社  
Applicant(s):

2003年 7月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3057869

【書類名】 特許願

【整理番号】 0241368

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 山上 朗

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 細田 勉

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100087479

    【弁理士】

    【氏名又は名称】 北野 好人

【選任した代理人】

    【識別番号】 100114915

    【弁理士】

    【氏名又は名称】 三村 治彦

【手数料の表示】

    【予納台帳番号】 003300

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第 1 の絶縁膜と、  
前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、  
前記第 1 の絶縁膜及び前記第 2 の絶縁膜に埋め込まれた配線構造体と、  
前記配線構造体近傍の前記第 1 の絶縁膜の少なくとも表面側に埋め込まれた第 1 の導電層よりなる第 1 のダミーパターンと、  
前記配線構造体近傍の前記第 2 の絶縁膜に埋め込まれた第 2 の導電層よりなり、前記第 1 のダミーパターンにビア部を介して接続された第 2 のダミーパターンと  
と  
を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、  
前記配線構造体は、前記第 1 の絶縁膜に埋め込まれ、前記第 1 の導電層と同一の導電層よりなる第 1 の配線パターンと、前記第 2 の絶縁膜に埋め込まれ、前記第 2 の導電層と同一の導電層よりなり、前記第 1 の配線パターンにビア部を介して接続された第 2 の配線パターンとを有する  
ことを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、  
前記第 2 のダミーパターンは、前記第 2 の導電層よりなるパターンの面内におけるパターン密度が均一になるように周期的に形成された複数の孤立パターンを有する  
ことを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、  
前記第 2 のダミーパターンを前記第 1 のダミーパターンに接続する前記ビア部は、前記配線構造体近傍に配置された前記複数の孤立パターンに形成されている  
ことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において

前記第 2 の配線パターンを前記第 1 の配線パターンに接続する前記ビア部は、溝状のパターンを有する

ことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置において、

前記配線構造体は、ガードリング、インダクタ又はパッドである

ことを特徴とする半導体装置。

【請求項 7】 半導体基板上に形成され、複数の絶縁膜よりなる絶縁膜積層体と、

前記絶縁膜積層体に埋め込まれた複数の導電層よりなる配線構造体と、

前記配線構造体を構成する複数の前記導電層によりなり、複数の前記絶縁膜の少なくとも表面側にそれぞれ埋め込まれた複数のダミーパターンとを有し、

前記配線構造体近傍の前記複数のダミーパターンは、ビア部を介して互いに接続されている

ことを特徴とする半導体装置。

【請求項 8】 半導体基板上に、第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜の少なくとも表面側に、第 1 の配線パターンと、前記第 1 の配線パターンの近傍に形成され、前記第 1 の配線パターンと同一の導電層よりなる第 1 のダミーパターンとを埋め込む工程と、

前記第 1 の配線パターン及び前記第 1 のダミーパターンが埋め込まれた前記第 1 の絶縁膜上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に、ビア部を介して前記第 1 の配線パターンに接続された第 2 の配線パターンと、前記第 2 の配線パターンの近傍に形成され、前記第 2 の配線パターンと同一の導電層よりなり、ビア部を介して前記第 1 のダミーパターンに接続された第 2 のダミーパターンとを埋め込む工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、

前記第 2 のダミーパターンを形成する工程では、前記第 2 の配線パターン及び前記第 2 のダミーパターンを構成する導電層よりなるパターンの面内におけるパ

ターン密度が均一になるように、周期的に形成された複数の孤立パターンにより構成される前記第 2 のダミーパターンを形成する

ことを特徴とする半導体装置の製造方法。

【請求項 1 0】 請求項 9 記載の半導体装置の製造方法において、前記第 2 のダミーパターンを形成する工程では、前記配線構造体近傍に配置された前記複数の孤立パターンに前記ビア部を形成する

ことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、低誘電率材料を用いた層間絶縁膜を有する半導体装置及びその製造方法に関する。

##### 【0 0 0 2】

##### 【従来の技術】

半導体装置の製造プロセスでは、一の半導体ウェーハ上に多数の素子を形成した後、半導体ウェーハをダイシングラインに沿って切断し、個々の L S I チップに分離する。このダイシングライン部の側壁には、素子の形成過程で積層した数々の層間絶縁膜の界面が露出する。この界面は水分の浸入経路となり、半導体装置の誤動作や破壊など、信頼性上の問題を引き起こすこともある。また、ダイシングの際の応力や封止樹脂との間の熱膨張係数差に基づく応力等により層間絶縁膜にクラックが発生し、このクラックが水分の浸入経路となることもある。

##### 【0 0 0 3】

このため、各 L S I のチップ周縁部に、ダイシングラインの内側を全周に渡って囲む構造体を設け、層間絶縁膜界面からの水分の浸入や、層間絶縁膜のクラックがチップ内部に伝搬するのを防止している。このような構造体は、内部回路を構成する配線層と同一の層からなるダミーパターンを積層することにより構成したものであり、ガードリング、シールリング、耐湿リング等と呼ばれることもある。水分の浸入やクラックを防止するための構造体は、例えば特許文献 1 乃至 8 に記載されている。

## 【0004】

一方、半導体装置の大規模高集積化に伴い、配線の設計ルールも世代と共に縮小化されている。従来、配線層は、配線材料を堆積した後、リソグラフィー及びドライエッチングを用いてパターンニングすることにより形成されてきたが、世代が進むにつれて技術的な限界が生じ始めている。このため、従来の配線層の形成プロセスに代わる新たな形成プロセスとして、層間絶縁膜に溝パターンやホールパターンを形成した後、この溝やホールに配線材料を埋め込む、いわゆるダマシンプロセスと呼ばれる手法が利用されつつある。ダマシンプロセスは、反応性エッチングが困難な銅などの低抵抗材料を用いて配線層を形成することも容易であり、微細パターンを有する低抵抗の配線層を形成するうえで極めて有効である。

## 【0005】

また、配線層の微細化に伴って配線間隔も狭まっており、層間絶縁膜を介して構成される寄生容量の増加が半導体装置の高速化を妨げる要因の一つともなっている。そこで、層間絶縁膜として、従来のシリコン酸化膜やシリコン窒化膜よりも誘電率の低い有機系絶縁材料（low-k材料）を用いることが検討されている。なお、有機系絶縁材料としては、有機SOG材料である、ダウ・ケミカル社製の有機系ポリマーSiLK（登録商標）、ハネウェル社製の有機系ポリマーFLARE（登録商標）等が知られている。

## 【0006】

## 【特許文献1】

特開2000-232081号公報

## 【特許文献2】

特開2000-232104号公報

## 【特許文献3】

特開2000-232105号公報

## 【特許文献4】

特開2000-277465号公報

## 【特許文献5】

特開2000-277713号公報



**【特許文献 6】**

特開 2001-053148 号公報

**【特許文献 7】**

特開 2001-168093 号公報

**【特許文献 8】**

特開 2002-134506 号公報

**【0007】****【発明が解決しようとする課題】**

上記有機系絶縁材料などの低誘電率材料は、シロキサン結合を有する従来のシリコン酸化膜を元にした材料と比較して、ヤング率、硬さ、熱膨張率といった物理的特性が大きく異なっている。一般に、低誘電率化を図るには、原子或いは分子といった材料内部の構造変化が必要である。原子間距離或いは分子間距離が増加するほどに誘電率を低くできるが、原子間距離或いは分子間距離の増加は結合力の低下をもたらすことになる。したがって、低誘電率材料を用いて多層配線構造を形成した場合、シロキサン結合を有する従来のシリコン酸化膜を元にした絶縁材料を用いる場合と比較して、層間絶縁膜界面の密着性が低下するとともに、膜自体の機械的強度も低下する。

**【0008】**

このため、低誘電率材料を用いた層間絶縁膜を有する半導体装置は、従来の絶縁膜材料を用いた半導体装置と比較して機械的強度が弱く、従来構造では問題にならなかった製造過程の機械的応力によってもクラックや剥離が生じることが判明した。

**【0009】**

例えば、デュアルダマシンプロセスにおいて、層間絶縁膜の平坦化や銅配線の埋め込みの際に用いるCMP（化学的機械的研磨：Chemical Mechanical Polishing）過程において、層間絶縁膜界面や層間絶縁膜内部に機械的ストレスが加わりクラックや剥離が生じることがあった。

**【0010】**

また、ガードリングやインダクタなど、鋭角に曲がる配線を積み上げた構造体

には、プロセス中の熱応力や実装後におけるパッケージからの応力が集中しやすく、パターン角部近傍から層間絶縁膜にクラックが発生することがあった。

【0 0 1 1】

また、パッドにはワイヤーボンディングやバンプ形成の際の応力が配線材料に集中するため、この機械的応力によってパッドの上部或いは下部にクラックが生じることがあった。

【0 0 1 2】

また、冗長回路用のヒューズ回路領域では、金属ヒューズをレーザで切断する際に、レーザの熱衝撃によりクラックが生じることがあった。

【0 0 1 3】

層間絶縁膜に発生したクラックは、デバイス機能を損なうものではないが、デバイスの使用中にクラックが拡大するなどし、信頼性上で重大な問題を引き起こすことがある。このため、低誘電率材料を用いた半導体装置においてクラックや剥離を効果的に防止しうる構造及び製造方法が望まれている。

【0 0 1 4】

本発明の目的は、低誘電率材料を用いた層間絶縁膜を有する半導体装置に関し、機械的或いは熱的なストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを効果的に防止しうる半導体装置及びその製造方法を提供することにある。

【0 0 1 5】

【課題を解決するための手段】

上記目的は、半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第1の絶縁膜及び前記第2の絶縁膜に埋め込まれた配線構造体と、前記配線構造体近傍の前記第1の絶縁膜の少なくとも表面側に埋め込まれた第1の導電層よりなる第1のダミーパターンと、前記配線構造体近傍の前記第2の絶縁膜に埋め込まれた第2の導電層よりなり、前記第1のダミーパターンにビア部を介して接続された第2のダミーパターンとを有することを特徴とする半導体装置。

【0 0 1 6】

また、上記目的は、半導体基板上に形成され、複数の絶縁膜よりなる絶縁膜積層体と、前記絶縁膜積層体に埋め込まれた複数の導電層よりなる配線構造体と、前記配線構造体を構成する複数の前記導電層によりなり、複数の前記絶縁膜の少なくとも表面側にそれぞれ埋め込まれた複数のダミーパターンとを有し、前記配線構造体近傍の前記複数のダミーパターンは、ビア部を介して互いに接続されていることを特徴とする半導体装置によっても達成される。

#### 【0017】

また、上記目的は、半導体基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜の少なくとも表面側に、第1の配線パターンと、前記第1の配線パターンの近傍に形成され、前記第1の配線パターンと同一の導電層よりなる第1のダミーパターンとを埋め込む工程と、前記第1の配線パターン及び前記第1のダミーパターンが埋め込まれた前記第1の絶縁膜上に、第2の絶縁膜を形成する工程と、前記第2の絶縁膜に、ビア部を介して前記第1の配線パターンに接続された第2の配線パターンと、前記第2の配線パターンの近傍に形成され、前記第2の配線パターンと同一の導電層よりなり、ビア部を介して前記第1のダミーパターンに接続された第2のダミーパターンとを埋め込む工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

#### 【0018】

##### 【発明の実施の形態】

##### 〔第1実施形態〕

本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図9を用いて説明する。

#### 【0019】

図1は半導体チップ上に形成される配線構造体を示す平面図、図2は本実施形態による半導体装置の構造を示す平面図、図3は本実施形態による半導体装置の構造を示す概略断面図、図4乃至図9は本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【0020】

はじめに、本実施形態による半導体装置の構造について図1乃至図3を用いて

説明する。

#### 【0021】

半導体ウェーハ上には、複数の半導体チップ領域1が設けられている。半導体チップ領域1の周縁部には、半導体チップ領域1の内部回路領域を囲うようにガードリング2が設けられている。ガードリング2により囲われた内部回路領域には、冗長回路用のヒューズ回路領域3が設けられている。ヒューズ回路領域3の周縁部には、ヒューズ回路領域3を囲うようにガードリング4が設けられている。内部回路領域には、また、インダクタ5が設けられている。内部回路領域の周縁部には、半導体チップと外部回路との電氣的な接続を行うためのパッド6が設けられている。

#### 【0022】

前述の通り、半導体ウェーハ上に形成されたこれら構造体は、機械的或いは熱的な応力により層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離をもたらす原因となることがある。本実施形態では、これら構造体による層間絶縁膜の破壊を防止しうる半導体装置の構造について、本発明を半導体チップの周縁部に設けられるガードリング近傍の構造に適用した場合を例にして説明する。

#### 【0023】

図2は、図1に示す半導体チップの左上角部を拡大した平面図である。

#### 【0024】

図2に示すように、ガードリング2は、ビア部2aと、ビア部2a上に形成された配線部2bとから構成されるリング状のパターンを積層することにより形成される。このリングパターンは、内部回路領域に形成される配線層と同一の導電層により形成されるものであるため、本明細書では、便宜上、リングパターンの構成部分についてもビア部及び配線部（又は配線パターン）とも呼ぶこととする。

#### 【0025】

ガードリング2の周辺には、ダミーパターン7が形成されている。ダミーパターン7は、デュアルダマシンプロセスにより配線層を形成する際のCMP過程において、研磨量の面内ばらつき、例えば銅のオーバーポリッシュに起因するディ

ッシングや、層間絶縁膜のオーバーポリッシュに起因するエロージョンを低減するためのものである。ガードリング2近傍のダミーパターン7は、ビア部7a及び7bを有している。

#### 【0026】

図3は、本実施形態による半導体装置の概略断面図であり、図2のA-A'線に沿った断面を示している。

#### 【0027】

図3に示すように、シリコン基板10上には、素子分離膜12が形成されている。素子分離膜12が形成されたシリコン基板10上には、ゲート電極14及びソース／ドレイン拡散層16を有するMOSトランジスタが形成されている。MOSトランジスタが形成されたシリコン基板10上には、コンタクトプラグ22が埋め込まれた層間絶縁膜18が形成されている。

#### 【0028】

層間絶縁膜18上には、SiC膜／SiLK膜／SiC膜の積層構造よりなる層間絶縁膜24が形成されている。層間絶縁膜24には、内部回路領域に配線層38aが、ダミーパターン形成領域にダミーパターン38bが、ガードリング形成領域にリングパターン38cが、それぞれ埋め込まれている。配線層38a、ダミーパターン38b及びリングパターン38cは、同一の導電層により構成されている。層間絶縁膜24上には、層間絶縁膜24と同様の積層構造よりなる層間絶縁膜40、44、48が形成されている。層間絶縁膜40には、層間絶縁膜24の場合と同様に、配線層42a、ダミーパターン42b、リングパターン42cが埋め込まれている。層間絶縁膜44には、層間絶縁膜24の場合と同様に、配線層46a、ダミーパターン46b、リングパターン46cが埋め込まれている。層間絶縁膜48には、層間絶縁膜24の場合と同様に、配線層50a、ダミーパターン50b、リングパターン50cが埋め込まれている。

#### 【0029】

層間絶縁膜48上には、SiOC膜／SiC膜／SiOC膜／SiC膜の積層構造よりなる層間絶縁膜52が形成されている。層間絶縁膜52には、層間絶縁膜24の場合と同様に、配線層64a、ダミーパターン64b、リングパターン

64c が埋め込まれている。層間絶縁膜 52 上には、層間絶縁膜 52 と同様の積層構造よりなる層間絶縁膜 66, 70, 74 が形成されている。層間絶縁膜 66 には、層間絶縁膜 24 の場合と同様に、配線層 68a、ダミーパターン 68b、リングパターン 68c が埋め込まれている。層間絶縁膜 70 には、層間絶縁膜 24 の場合と同様に、配線層 72a、ダミーパターン 72b、リングパターン 72c が埋め込まれている。層間絶縁膜 74 には、層間絶縁膜 24 の場合と同様に、配線層 76a、ダミーパターン 76b、リングパターン 76c が埋め込まれている。

#### 【0030】

層間絶縁膜 74 上には、SiO<sub>2</sub>膜/SiC膜/SiO<sub>2</sub>膜/SiC膜の積層構造よりなる層間絶縁膜 78 が形成されている。層間絶縁膜 78 には、層間絶縁膜 24 の場合と同様に、配線層 80a、ダミーパターン 80b、リングパターン 80c が埋め込まれている。層間絶縁膜 78 上には、層間絶縁膜 78 と同様の積層構造よりなる層間絶縁膜 82 が形成されている。層間絶縁膜 82 には、層間絶縁膜 24 の場合と同様に、配線層 84a、ダミーパターン 84b、リングパターン 84c が埋め込まれている。

#### 【0031】

層間絶縁膜 82 上には、SiO<sub>2</sub>膜/SiC膜の積層構造よりなる層間絶縁膜 86 が形成されている。層間絶縁膜 86 には、コンタクトプラグ 88 が埋め込まれている。層間絶縁膜 86 上には、コンタクトプラグに接続されたリングパターン 90c が形成されている。リングパターン 90c が形成された層間絶縁膜 86 上には、SiN膜/SiO<sub>2</sub>膜の積層構造よりなるカバー膜 92 が形成されている。

#### 【0032】

ガードリング形成領域は、内部回路領域を囲う環状の領域であり、この領域にガードリング 2 が形成される。本実施形態による半導体装置では、ガードリング形成領域に形成されたコンタクトプラグ 22、リングパターン 38c, 42c, 46c, 50c, 64c, 68c, 72c, 76c, 80c, 84c、コンタクトプラグ 88 及びリングパターン 90c が、層厚方向に接続されてなる積層構造

体により、ガードリング 2 が構成されている。

#### 【0033】

ダミーパターン形成領域は、デュアルダマシンプロセスにより配線層を形成する際の CMP 過程において、研磨量の面内ばらつき、例えば銅のオーバーポリッシュに起因するディッシングや、層間絶縁膜のオーバーポリッシュに起因するエロージョンを低減するためのダミーパターンが形成された領域である。ダミーパターン形成領域には、ウェーハ面内でのパターン密度を揃えるように、各層において配線層と同一導電層からなるダミーパターンが配置されている。ダミーパターン形成領域には、例えば図 2 に示すように、矩形状のダミーパターン 7 が周期的に形成される。

#### 【0034】

ここで、本実施形態による半導体装置は、層厚方向に隣接するダミーパターンが接続されていることに特徴がある。隣接する層に形成されたダミーパターンを接続することにより、接続されたダミーパターン周辺の層間絶縁膜の機械的強度、特に層厚方向の強度が増加する。これにより、層間絶縁膜界面或いは層間絶縁膜内部に生じた応力により層間絶縁膜にクラックや剥離が生じるのを防止することができる。

#### 【0035】

なお、本願発明者等が検討したところでは、ガードリングから  $10\ \mu\text{m}$  程度の距離に配置されるダミーパターンをビア部を介して接続することにより、プロセス中におけるクラックの発生や、アセンブリ時（ワイヤーボンディング又はバンパ接続）におけるクラックの発生、ヒューズをレーザブローする際のクラックの伝搬を抑制できた。

#### 【0036】

次に、本実施形態による半導体装置の製造方法について図 4 乃至図 9 を用いて説明する。

#### 【0037】

まず、シリコン基板 10 上に、例えば STI 法により、素子領域を画定する素子分離膜 12 を形成する。

**【0038】**

次いで、素子分離膜12が形成されたシリコン基板10上に、通常のMOSトランジスタの形成方法と同様にして、ゲート電極14及びソース／ドレイン拡散層16を有するMOSトランジスタを形成する（図4（a））。

**【0039】**

次いで、MOSトランジスタが形成されたシリコン基板10上に、例えばCVD法により例えば膜厚700nmのシリコン酸化膜を形成し、シリコン酸化膜よりなる層間絶縁膜18を形成する。

**【0040】**

次いで、例えばCMP法により、層間絶縁膜18の表面を研磨し、層間絶縁膜18の表面を平坦化する。

**【0041】**

次いで、フォトリソグラフィー及びドライエッチングにより、層間絶縁膜18に、シリコン基板10に達するコンタクトホール20を形成する。なお、ガードリング形成領域に形成されるコンタクトホール20は、内部回路領域を囲うリング状の溝パターンとなる。

**【0042】**

次いで、例えばCVD法により、例えば膜厚15nmのTi（チタン）膜と、例えば膜厚10nmのTiN（窒化チタン）膜と、例えば膜厚250nmのW（タングステン）膜とを形成する。

**【0043】**

次いで、CMP法により、層間絶縁膜18の表面が露出するまで、W膜、TiN膜及びTi膜を平坦に除去し、コンタクトホール20内に埋め込まれ、Ti膜、TiN膜及びW膜よりなるコンタクトプラグ22を形成する（図4（b））。

**【0044】**

次いで、コンタクトプラグ22が埋め込まれた層間絶縁膜18上に、例えばCVD法により、例えば膜厚30nmのSiC膜24aを堆積する。

**【0045】**

次いで、SiC膜24a上に、例えばスピンコート法により、例えば膜厚45



0 nmのSiLK膜24bを形成する。

【0046】

次いで、SiLK膜24b上に、例えばCVD法により、例えば膜厚30 nmのSiC膜24cを形成する。

【0047】

こうして、SiC膜24c/SiLK膜24b/SiC膜24aの積層構造を有する層間絶縁膜24を形成する(図4(c))。なお、SiC膜24a、24cは、エッチングストoppa膜及び銅の拡散防止膜として機能する。

【0048】

次いで、フォトリソグラフィーにより、層間絶縁膜24上に、層間絶縁膜24に形成される配線層、ダミーパターン及びリングパターンの形成予定領域を露出するフォトレジスト膜26を形成する(図4(d))。

【0049】

次いで、フォトレジスト膜26をマスクとして、SiC膜24cを異方性エッチングする(図5(a))。

【0050】

次いで、フォトレジスト膜26を除去した後、フォトリソグラフィーにより、ビアホール形成予定領域を露出するフォトレジスト膜28を形成する。フォトレジスト膜28は、ダミーパターン形成領域では、ガードリング形成領域近傍のダミーパターンを層厚方向に接続するためのビアホール形成予定領域を露出し、ガードリング形成領域では、リングパターンをコンタクトプラグ22に接続するための溝状のビアホール形成予定領域を露出する(図5(b))。

【0051】

次いで、フォトレジスト膜28をマスクとして、SiLK膜28bをエッチングする。このエッチングでは、SiLK膜28bの中央部近傍においてエッチングが停止するように、エッチング時間を制御する(図5(c))。

【0052】

次いで、フォトレジスト膜28を除去した後、SiC膜24cをマスクとしてSiLK膜24b及びSiC膜24aをエッチングし、層間絶縁膜24に、配線

層のビア部を埋め込むためのビアホール 30 a 及び配線溝 32 a、ダミーパターンを埋め込むためのビアホール 30 b 及び溝 32 b、リングパターンを埋め込むためのビアホール 30 c 及び溝 32 c を形成する (図 5 (d))。

#### 【0053】

次いで、例えばスパッタ法により、例えば膜厚 20 nm の TaN (窒化タンタル) 膜よりなるバリアメタル 34 と、例えば膜厚 80 nm の Cu (銅) 膜 36 a とを堆積する (図 6 (a))。

#### 【0054】

次いで、Cu 膜 36 a をシードとして、電解メッキにより、Cu 膜 36 a 上に更に Cu 膜を堆積し、トータル膜厚 900 nm の Cu 膜 36 を形成する (図 6 (b))。

#### 【0055】

次いで、CMP 法により、層間絶縁膜 24 の表面が露出するまで Cu 膜 36 及びバリアメタル 34 を平坦に除去し、ビアホール 30 a 及び配線溝 32 a に埋め込まれた配線層 38 a、ビアホール 30 b 及び溝 32 b に埋め込まれたダミーパターン 38 b、ビアホール 30 c 及び溝 32 c に埋め込まれたリングパターン 38 c を形成する (図 6 (c))。

#### 【0056】

次いで、例えば図 4 (c) 乃至図 6 (c) に示す工程を繰り返し、層間絶縁膜 40 に埋め込まれた配線層 42 a、ダミーパターン 42 b 及びリングパターン 42 c、層間絶縁膜 44 に埋め込まれた配線層 46 a、ダミーパターン 46 b 及びリングパターン 46 c、層間絶縁膜 48 に埋め込まれた配線層 50 a、ダミーパターン 50 b 及びリングパターン 50 b を形成する (図 6 (d))。

#### 【0057】

この際、リングパターン近傍のダミーパターンは、ビアホールを介して下層のダミーパターンに接続されている。したがって、ダミーパターン間の層厚方向の機械的強度が増しており、CMP 過程の機械的ストレスによりリングパターン近傍の層間絶縁膜にクラックや剥離が生じるのを防止することができる。

#### 【0058】

次いで、層間絶縁膜 48 上に、例えば CVD 法により、例えば膜厚 50 nm の SiC 膜 52a と、例えば膜厚 500 nm の SiOC 膜 52b と、例えば膜厚 50 nm の SiC 膜 52c と、例えば膜厚 400 nm の SiOC 膜 52d と、例えば膜厚 50 nm の SiC 膜 52e とを順次堆積し、SiC 膜 52e/SiOC 膜 52d/SiC 膜 52c/SiOC 膜 52b/SiC 膜 52a の積層構造を有する層間絶縁膜 52 を形成する（図 7（a））。SiC 膜 52a, 24c, 52e は、エッチングストップ膜及び銅の拡散防止膜として機能する。

#### 【0059】

なお、図 7（a）以降の図面では、層間絶縁膜 44 より下の構造を省略している。

#### 【0060】

次いで、フォトリソグラフィーにより、ビアホール形成領域を露出するフォトレジスト膜 54 を形成する。フォトレジスト膜 54 は、ダミーパターン形成領域では、ガードリング形成領域近傍のダミーパターンを層厚方向に接続するためのビアホール形成領域を露出し、ガードリング形成領域では、リングパターンをコンタクトプラグ 22 に接続するための溝状のビアホール形成領域を露出する（図 7（b））。

#### 【0061】

次いで、フォトレジスト膜 54 をマスクとして、SiC 膜 52e、SiOC 膜 52d、SiC 膜 52c 及び SiOC 膜 52b をエッチングし、配線層間を接続するためのビアホール 56a、ダミーパターン間を接続するためのビアホール 56b、リングパターン間を接続するための溝状のビアホール 56c を、SiC 膜 52a 上まで開口する（図 7（c））。

#### 【0062】

次いで、フォトレジスト膜 54 を除去する。

#### 【0063】

次いで、例えばスピンコート法により非感光性樹脂 58 を塗布した後、ビアホール 56a, 56b, 56c 内に非感光性樹脂 58 が残存するように、層間絶縁膜 52 上の非感光性樹脂 58 を溶解・除去する（図 7（d））。なお、非感光性

樹脂 58 は、後工程においてビアの保護膜として機能する。

#### 【0064】

次いで、非感光性樹脂 58 が埋め込まれた層間絶縁膜 52 上に、フォトリソグラフィにより、層間絶縁膜 52 に形成される配線層、ダミーパターン及びリングパターンの形成予定領域を露出するフォトレジスト膜 60 を形成する（図 8（a））。

#### 【0065】

次いで、フォトレジスト膜 60 をマスクとして及び SiC 膜 52c をストッパとして、SiC 膜 52e 及び SiOC 膜 52d を異方性エッチングし、SiOC 膜 52d 及び SiC 膜 52e に、配線層を埋め込むための配線溝 62a、ダミーパターンを埋め込むための溝 62b、リングパターンを埋め込むための溝 62c を形成する（図 8（b））。

#### 【0066】

次いで、フォトレジスト膜 60 とともに非感光性樹脂 58 を除去した後（図 8（c））、SiC 膜 52a、52c、52e を異方性エッチングし、SiC 膜 52e を除去するとともに、ビアホール 56a を配線層 50a 上まで、ビアホール 56b をダミーパターン 50b 上まで、ビアホール 56c をリングパターン 50c 上まで、配線溝 62a 及び溝 62b、62c を SiOC 膜 52b 上まで、それぞれ開口する。（図 8（d））。

#### 【0067】

次いで、例えば図 6（a）乃至図 6（c）に示すと同様にして、ビアホール 56a 及び配線溝 62a に埋め込まれた配線層 64a、ビアホール 56b 及び溝 62b に埋め込まれたダミーパターン 64b、ビアホール 56c 及び溝 62c に埋め込まれたリングパターン 64c を形成する（図 9（a））。

#### 【0068】

この際、リングパターン近傍のダミーパターンは、ビアホールを介して下層のダミーパターンに接続されている。したがって、ダミーパターン間の層厚方向の機械的強度が増しており、CMP 過程の機械的ストレスによりリングパターン近傍の層間絶縁膜にクラックや剥離が生じるのを防止することができる。

**【0069】**

次いで、例えば図7(a)乃至図9(a)に示す工程を繰り返し、層間絶縁膜66に埋め込まれた配線層68a、ダミーパターン68b及びリングパターン68c、層間絶縁膜70に埋め込まれた配線層72a、ダミーパターン72b及びリングパターン72c、層間絶縁膜74に埋め込まれた配線層76a、ダミーパターン76b及びリングパターン76cを形成する(図9(b))。

**【0070】**

次いで、SiOC膜の代わりにSiO膜を用い、例えば図7(a)乃至図9(a)に示す工程を繰り返し、層間絶縁膜78に埋め込まれた配線層80a、ダミーパターン80b及びリングパターン80c、層間絶縁膜82に埋め込まれた配線層84a、ダミーパターン84b及びリングパターン84cを形成する。

**【0071】**

次いで、層間絶縁膜82上に、例えばCVD法により、例えば膜厚50nmのSiC膜86aと、例えば膜厚500nmのSiO膜86bとを堆積し、SiO膜/SiC膜の積層構造を有する層間絶縁膜86を形成する。

**【0072】**

次いで、例えば図4(b)に示す工程と同様にして、層間絶縁膜86に埋め込まれたコンタクトプラグ88を形成する。

**【0073】**

次いで、コンタクトプラグ88が埋め込まれた層間絶縁膜88上に、例えばスパッタ法により、例えば膜厚100nmのTiN膜と、例えば膜厚900nmのAl(アルミ)膜と、例えば膜厚50nmのTiN膜とを堆積する。

**【0074】**

次いで、フォトリソグラフィ及びドライエッチングにより、TiN膜/Al膜/TiN膜の積層膜をパターンニングし、配線層(図示せず)、パッド(図示せず)、リングパターン90c等を形成する。

**【0075】**

次いで、リングパターン90c等が形成された層間絶縁膜88上に、例えばCVD法により、例えば膜厚1200nmのSiO膜92aと、例えば膜厚400

nmのSiN膜92bとを堆積し、SiN膜/SiO膜の積層構造よりなるカバー膜を形成する(図9(c))。

#### 【0076】

このように、本実施形態によれば、ガードリング近傍において、層厚方向に隣接するダミーパターンを接続するので、接続したダミーパターン近傍の層間絶縁膜を補強することができる。これにより、機械的或いは熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止することができる。

#### 【0077】

##### [第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図10を用いて説明する。なお、図1乃至図9に示す第1実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

#### 【0078】

図10は本実施形態による半導体装置の構造を示す平面図及び断面図である。

#### 【0079】

図10(b)に示すように、基板100上には、層間絶縁膜102が形成されている。層間絶縁膜102には、配線層104とダミーパターン106とが埋め込まれている。配線層104は、複数のビア部104aと、これらビア部104a上に形成された配線部104bとを有している。配線層104近傍のダミーパターン106には、ビア部106aが設けられている。

#### 【0080】

ダミーパターン106は、図10(a)に示すように、パッド周辺部に周期的に設けられたものであり、例えば、デュアルダマシンプロセスにより配線層を形成する際のCMP過程において、研磨量の面内ばらつき、例えば銅のオーバーポリッシュに起因するディッシングや、層間絶縁膜のオーバーポリッシュに起因するエロージョンを低減するために形成されるものである。

#### 【0081】

層間絶縁膜 102 上には、配線層 110 及びダミーパターン 112 が埋め込まれた層間絶縁膜 108 が形成されている。配線層 110 は、複数のビア部 110a と、これらビア部 110a 上に形成された配線部 110b とを有し、ビア部 110a を介して配線層 104 に接続されている。配線層 110 近傍のダミーパターン 112 には、ビア部 112a が設けられており、ビア部 112a を介してダミーパターン 106 に接続されている。

#### 【0082】

同様に、層間絶縁膜 108 上には、配線層 116 及びダミーパターン 118 が埋め込まれた層間絶縁膜 114 と、配線層 122 及びダミーパターン 124 が埋め込まれた層間絶縁膜 120 と、配線層 128 及びダミーパターン 130 が埋め込まれた層間絶縁膜 126 とが形成されている。

#### 【0083】

こうして、配線層 104, 110, 116, 122, 128 がビア部を介して層厚方向に互いに接続されたパッド構造体が構成されている。また、パッド構造体近傍のダミーパターン 106, 112, 118, 124, 130 は、ビア部を介して層厚方向に互いに接続されている。

#### 【0084】

図 10 (b) に示すように、半導体チップと外部回路との電気的な接続を行うためのパッドは、ガードリングと同様に、複数の配線層を積層することにより構成されることがある。パッドは、通常の配線パターンと比較して大きな面積を有するとともに、ワイヤーボンディングやバンプ形成の際に機械的な応力が加わるため、機械的或いは熱的な応力により周辺の層間絶縁膜にクラックや剥離が生じることがある。

#### 【0085】

したがって、第 1 実施形態による半導体装置の場合と同様に、パッドの周辺に設けられたダミーパターンにビア部を設け、図 10 (b) に示すように層厚方向のダミーパターンを接続することにより、接続したダミーパターン近傍の層間絶縁膜を補強することができる。これにより、機械的或いは熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止すること

ができる。

#### 【0086】

このように、本実施形態によれば、パッド構造体の近傍において、層厚方向に隣接するダミーパターンを接続するので、接続したダミーパターン近傍の層間絶縁膜を補強することができる。これにより、パッド上にワイヤーボンディングを行う場合やバンプを形成する際の機械的なストレスや、製造プロセス過程における熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止することができる。

#### 【0087】

なお、上記実施形態では、説明の便宜上、層間絶縁膜、配線層及びダミーパターンの構造を簡略化したが、これら構造体は、第1実施形態による半導体装置の場合と同様の構造により形成することができる。

#### 【0088】

##### [第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法について図11を用いて説明する。なお、図1乃至図10に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

#### 【0089】

図11は本実施形態による半導体装置の構造を示す平面図及び断面図である。

#### 【0090】

図11(b)に示すように、基板100上には、ダミーパターン106が埋め込まれた層間絶縁膜102と、ダミーパターン112が埋め込まれた層間絶縁膜108と、ダミーパターン118が埋め込まれた層間絶縁膜114とが順次形成されている。

#### 【0091】

層間絶縁膜114上には、配線層122及びダミーパターン124が埋め込まれた層間絶縁膜120と、配線層128及びダミーパターン130が埋め込まれ



た層間絶縁膜 126 とが形成されている。配線層 128 は、複数のビア部 128 a と、これらビア部 128 a 上に形成された配線部 128 b とを有し、ビア部 128 a を介して配線層 122 に接続されている。配線層 128 近傍のダミーパターン 130 には、ビア部 130 a が設けられており、ビア部 130 a を介してダミーパターン 124 に接続されている。

#### 【0092】

こうして、配線層 122, 128 がビア部 128 b を介して層厚方向に互いに接続された配線構造体が構成されている。このような配線構造体は、例えば、平面上で螺旋を描くように形成されるスパイラルインダクタにおいて用いられている。このようなインダクタでは、複数の配線層をビアを介して接続することにより、配線抵抗を低減している。

#### 【0093】

図 11 (a) に示すように、スパイラルインダクタもガードリングの場合と同様、鋭角に曲がる配線を積み上げた構造体であるため、パターン角部近傍における機械的或いは熱的な応力により周辺の層間絶縁膜にクラックや剥離が生じることがある。

#### 【0094】

したがって、第 1 実施形態による半導体装置の場合と同様に、配線層の周辺に設けられたダミーパターンにビア部を設け、図 11 (b) に示すように層厚方向のダミーパターンを接続することにより、接続したダミーパターン近傍の層間絶縁膜を補強することができる。これにより、機械的或いは熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止することができる。

#### 【0095】

このように、本実施形態によれば、インダクタの近傍において、層厚方向に隣接するダミーパターンを接続するので、接続したダミーパターン近傍の層間絶縁膜を補強することができる。これにより、機械的或いは熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止することができる。

## 【0096】

なお、上記実施形態では、説明の便宜上、層間絶縁膜、配線層及びダミーパターンの構造を簡略化したが、これら構造体は、第1実施形態による半導体装置の場合と同様の構造により形成することができる。

## 【0097】

## [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

## 【0098】

例えば、上記第1実施形態では、第1層銅配線層により構成されるダミーパターン38bから、第10層銅配線層により構成されるダミーパターン84bまでを、層厚方向にすべて接続しているが、必ずしもすべての層のダミーパターンを接続する必要はない。

## 【0099】

例えば、第1実施形態による半導体装置の場合、層間絶縁膜48と層間絶縁膜52との界面近傍のダミーパターンのみを接続するようにしてもよい。第1実施形態による半導体装置の場合、第4銅配線層と第5銅配線層との間においてSiLK膜を主体とする層間絶縁膜からSiOC膜を主体とする層間絶縁膜に変えているが、SiLKやFLAREなどのポリアリルエーテル系樹脂からなる膜とSiOCやSiO<sub>2</sub>などのオルガノシリケートガラスからなる膜とでは熱膨張係数が大きく異なるため、この界面近傍の層間絶縁膜は熱的な応力の影響を受けやすいと考えられる。したがって、層間絶縁膜48と層間絶縁膜52との界面近傍のダミーパターンのみを接続する場合でも、層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離を防止する効果を十分に期待できる。

## 【0100】

また、上記第1実施形態では、ガードリング近傍のダミーパターンのみを層厚方向に接続したが、すべてのダミーパターンを層厚方向に接続してもよい。また、応力の影響を受けやすいパターン角部近傍のダミーパターンのみを層厚方向に接続してもよい。

## 【0101】

また、上記第3実施形態では、ビア部を介して接続される配線層と同一導電層からなるダミーパターンのみを層厚方向に接続したが、更に下層又は上層のダミーパターンまでを接続するようにしてもよい。

#### 【0102】

また、上記実施形態では、ダミーパターンとして、デュアルダマシンプロセスにより配線層を形成する際のCMP過程において、研磨量の面内ばらつき、例えば銅のオーバーポリッシュに起因するディッシングや、層間絶縁膜のオーバーポリッシュに起因するエロージョンを低減するために形成されるダミーパターンを示したが、ダミーパターンはこれに限定されるものではない。

#### 【0103】

また、上記第1乃至第3実施形態では、各層に形成されるダミーパターンが同じパターンにより形成されているが、必ずしも同じパターンにする必要はない。各層のパターンレイアウトは、ダミーパターンの目的に応じて適宜決定することが望ましい。

#### 【0104】

層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離を誘起する構造体の近傍に何らかのダミーパターンが形成されている場合にはこのダミーパターンを層厚方向に接続するようにすればよいし、ダミーパターンが形成されていない場合には、新たなダミーパターンを設けてこれを層厚方向に接続するようにすればよい。

#### 【0105】

また、上記実施形態では、層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離を誘起する配線構造体として、ガードリング、パッド、インダクタを例示したが、これら以外の構造体においても本発明の効果を期待できる。

#### 【0106】

以上詳述したとおり、本発明の特徴をまとめると以下の通りとなる。

#### 【0107】

(付記1) 半導体基板上に形成された第1の絶縁膜と、  
前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第 1 の絶縁膜及び前記第 2 の絶縁膜に埋め込まれた配線構造体と、  
前記配線構造体近傍の前記第 1 の絶縁膜の少なくとも表面側に埋め込まれた第 1 の導電層よりなる第 1 のダミーパターンと、  
前記配線構造体近傍の前記第 2 の絶縁膜に埋め込まれた第 2 の導電層よりなり、前記第 1 のダミーパターンにビア部を介して接続された第 2 のダミーパターンと  
と  
を有することを特徴とする半導体装置。

**【0 1 0 8】**

(付記 2) 付記 1 記載の半導体装置において、  
前記配線構造体は、前記第 1 の絶縁膜に埋め込まれ、前記第 1 の導電層と同一の導電層よりなる第 1 の配線パターンと、前記第 2 の絶縁膜に埋め込まれ、前記第 2 の導電層と同一の導電層よりなり、前記第 1 の配線パターンにビア部を介して接続された第 2 の配線パターンとを有する  
ことを特徴とする半導体装置。

**【0 1 0 9】**

(付記 3) 付記 1 又は 2 記載の半導体装置において、  
前記第 2 のダミーパターンは、前記第 2 の導電層よりなるパターンの面内におけるパターン密度が均一になるように周期的に形成された複数の孤立パターンを有する  
ことを特徴とする半導体装置。

**【0 1 1 0】**

(付記 4) 付記 3 記載の半導体装置において、  
前記第 2 のダミーパターンを前記第 1 のダミーパターンに接続する前記ビア部は、前記配線構造体近傍に配置された前記複数の孤立パターンに形成されている  
ことを特徴とする半導体装置。

**【0 1 1 1】**

(付記 5) 付記 3 又は 4 記載の半導体装置において、  
前記第 1 のダミーパターンは、前記第 1 の導電層よりなるパターンの面内におけるパターン密度が均一になるように周期的に形成された複数の孤立パターンを

有する

ことを特徴とする半導体装置。

【0112】

(付記6) 付記1乃至5のいずれか1項に記載の半導体装置において、  
前記第1の導電層及び前記第2の導電層は、銅を主体とする導電性材料により  
構成されている

ことを特徴とする半導体装置。

【0113】

(付記7) 付記1乃至6のいずれか1項に記載の半導体装置において、  
前記第1の絶縁膜と前記第2の絶縁膜とは、異なる絶縁材料を主体とする膜に  
より構成されている

ことを特徴とする半導体装置。

【0114】

(付記8) 付記7記載の半導体装置において、  
前記第1の絶縁膜は、ポリアリルエーテル系樹脂からなる膜を主体とする膜で  
あり、  
前記第2の絶縁膜は、オルガノシリケートガラスからなる膜を主体とする膜で  
ある

ことを特徴とする半導体装置。

【0115】

(付記9) 付記1乃至8のいずれか1項に記載の半導体装置において、  
前記第2の配線パターンを前記第1の配線パターンに接続する前記ビア部は、  
溝状のパターンを有する

ことを特徴とする半導体装置。

【0116】

(付記10) 付記1乃至9のいずれか1項に記載の半導体装置において、  
前記配線構造体は、ガードリング、インダクタ又はパッドである

ことを特徴とする半導体装置。

【0117】

(付記 11) 半導体基板上に形成され、複数の絶縁膜よりなる絶縁膜積層体と、

前記絶縁膜積層体に埋め込まれた複数の導電層よりなる配線構造体と、

前記配線構造体を構成する複数の前記導電層によりなり、複数の前記絶縁膜の少なくとも表面側にそれぞれ埋め込まれた複数のダミーパターンとを有し、

前記配線構造体近傍の前記複数のダミーパターンは、ビア部を介して互いに接続されている

ことを特徴とする半導体装置。

#### 【0118】

(付記 12) 半導体基板上に、第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜の少なくとも表面側に、第 1 の配線パターンと、前記第 1 の配線パターンの近傍に形成され、前記第 1 の配線パターンと同一の導電層よりなる第 1 のダミーパターンとを埋め込む工程と、

前記第 1 の配線パターン及び前記第 1 のダミーパターンが埋め込まれた前記第 1 の絶縁膜上に、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に、ビア部を介して前記第 1 の配線パターンに接続された第 2 の配線パターンと、前記第 2 の配線パターンの近傍に形成され、前記第 2 の配線パターンと同一の導電層よりなり、ビア部を介して前記第 1 のダミーパターンに接続された第 2 のダミーパターンとを埋め込む工程と

を有することを特徴とする半導体装置の製造方法。

#### 【0119】

(付記 13) 付記 12 記載の半導体装置の製造方法において、

前記第 2 のダミーパターンを形成する工程では、前記第 2 の配線パターン及び前記第 2 のダミーパターンを構成する導電層よりなるパターンの面内におけるパターン密度が均一になるように、周期的に形成された複数の孤立パターンにより構成される前記第 2 のダミーパターンを形成する

ことを特徴とする半導体装置の製造方法。

#### 【0120】

(付記 14) 付記 13 記載の半導体装置の製造方法において、

前記第2のダミーパターンを形成する工程では、前記配線構造体近傍に配置された前記複数の孤立パターンに前記ビア部を形成することを特徴とする半導体装置の製造方法。

【0121】

(付記15) 付記12乃至14のいずれか1項に記載の半導体装置の製造方法において、

前記第2の配線パターン及び前記第2のダミーパターンを形成する工程は、  
前記第2の絶縁膜に、前記第2の配線パターンを埋め込むための第1のビアホール及び配線溝並びに前記第2のダミーパターンを埋め込むための第2のビアホール及び溝を形成する工程と、

前記配線溝、前記第1のビアホール、前記溝及び前記第2のビアホールが形成された前記第2の絶縁膜上に、銅を主体とする導電膜を堆積する工程と、

前記第2の絶縁膜の表面が露出するまで前記導電膜を平坦に除去し、前記導電膜よりなり前記配線溝及び前記第1のビアホールに埋め込まれた前記第2の配線パターンと、前記導電膜よりなり前記溝及び前記第2のビアホールに埋め込まれた前記第2のダミーパターンを形成する工程とを有する

ことを特徴とする半導体装置の製造方法。

【0122】

(付記16) 付記12乃至14のいずれか1項に記載の半導体装置の製造方法において、

前記配線構造体上に、ワイヤーボンディングを行う工程を更に有することを特徴とする半導体装置の製造方法。

【0123】

(付記17) 付記12乃至16のいずれか1項に記載の半導体装置の製造方法において、

前記配線構造体上に、バンプを形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0124】

(付記18) 付記12乃至17のいずれか1項に記載の半導体装置の製造方

法において、

前記第 1 の絶縁膜を形成する工程又は前記第 2 の絶縁膜を形成する工程では、ポリアリルエーテル系樹脂からなる膜を主体とする膜を形成することを特徴とする半導体装置の製造方法。

#### 【0125】

##### 【発明の効果】

以上の通り、本発明によれば、ガードリング、パッド、インダクタ等の層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離を誘起しうる配線構造体の近傍に、これら配線構造体を構成する導電層と同様の導電層からなるダミーパターンを設け、層厚方向に位置するダミーパターンをビア部を介して互いに接続するので、接続したダミーパターン近傍の層間絶縁膜を補強することができる。これにより、機械的或いは熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止することができる。

##### 【図面の簡単な説明】

##### 【図 1】

半導体チップ上に形成される配線構造体を示す平面図である。

##### 【図 2】

本発明の第 1 実施形態による半導体装置の構造を示す平面図である。

##### 【図 3】

本発明の第 1 実施形態による半導体装置の構造を示す概略断面図である。

##### 【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

##### 【図 5】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

##### 【図 6】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。



**【図 7】**

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

**【図 8】**

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

**【図 9】**

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

**【図 10】**

本発明の第 2 実施形態による半導体装置の構造を示す平面図及び概略断面図である。

**【図 11】**

本発明の第 3 実施形態による半導体装置の構造を示す平面図及び概略断面図である。

**【符号の説明】**

1…半導体チップ領域

2, 4…ガードリング

3…ヒューズ回路領域

5…インダクタ

6…パッド

7…ダミーパターン

10…シリコン基板

12…素子分離膜

14…ゲート電極

16…ソース／ドレイン拡散層

18, 24, 40, 44, 48, 52, 66, 70, 74, 78, 82, 86…  
層間絶縁膜

22, 88…コンタクトプラグ

24 a, 24 c, 52 a, 52 c, 52 e, 78 a, 78 c, 78 e, 86 a...

SiC膜

24 b...SiLK膜

26, 28, 60...フォトレジスト膜

30 a, 30 b, 30 c, 56 a, 56 b, 56 c...ビアホール

32 a, 62 a...配線溝

32 b, 32 c, 62 b, 62 c...溝

34...バリアメタル

36...Cu膜

38 a, 42 a, 46 a, 50 a, 64 a, 68 a, 72 a, 76 a, 80 a,

88 a...配線層

38 b, 42 b, 46 b, 50 b, 64 b, 68 b, 72 b, 76 b, 80 b,

88 b...ダミーパターン

38 c, 42 c, 46 c, 50 c, 64 c, 68 c, 72 c, 76 c, 80 c,

88 c, 90 c...リングパターン

52 b, 52 d...SiOC膜

58...非感光性樹脂

78 b, 78 d...SiO<sub>2</sub>膜

92...カバー膜

100...基板

102, 108, 114, 120, 126...層間絶縁膜

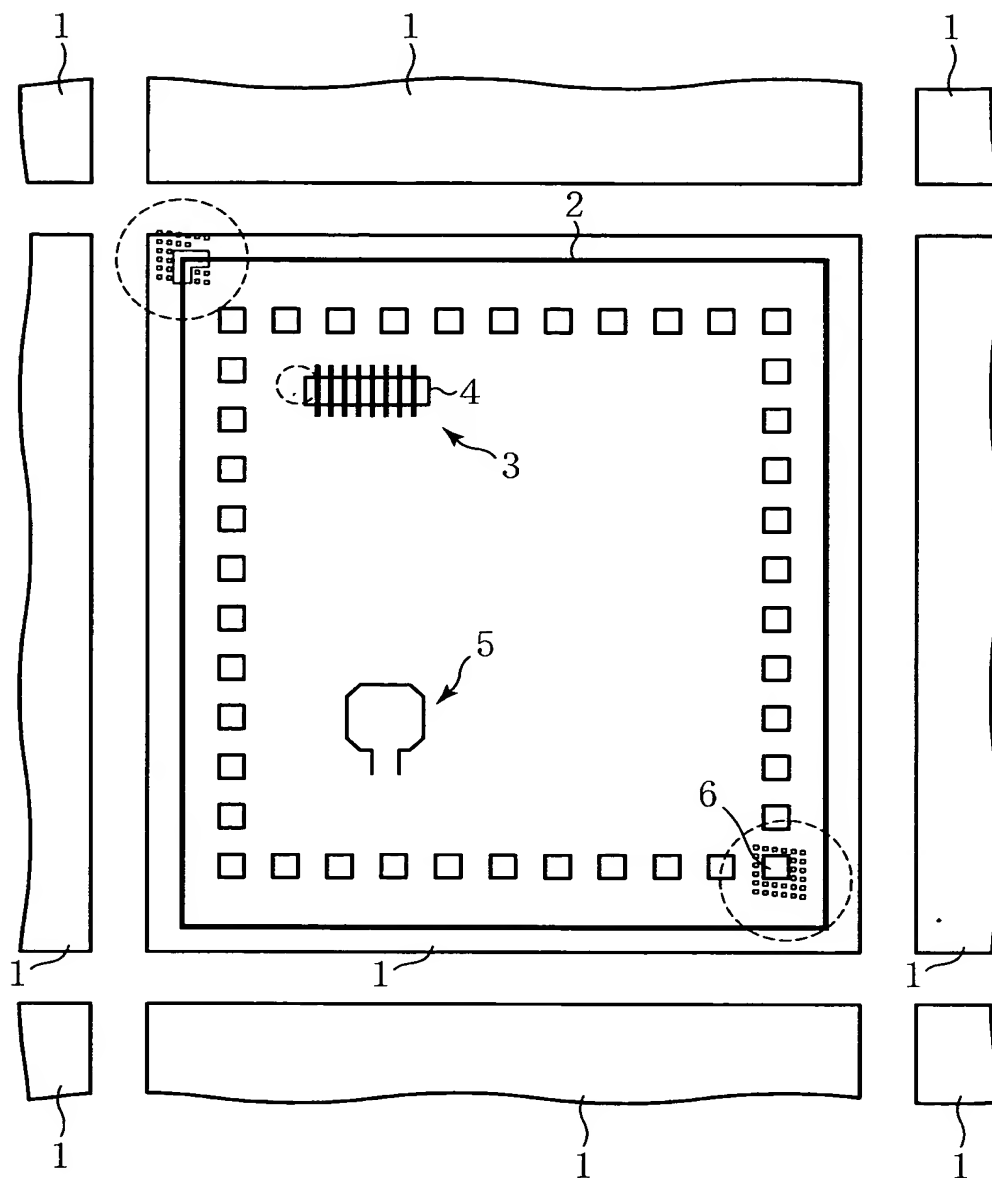
104, 110, 116, 122, 128...配線層

106, 112, 118, 124, 130...ダミーパターン

【書類名】 図面

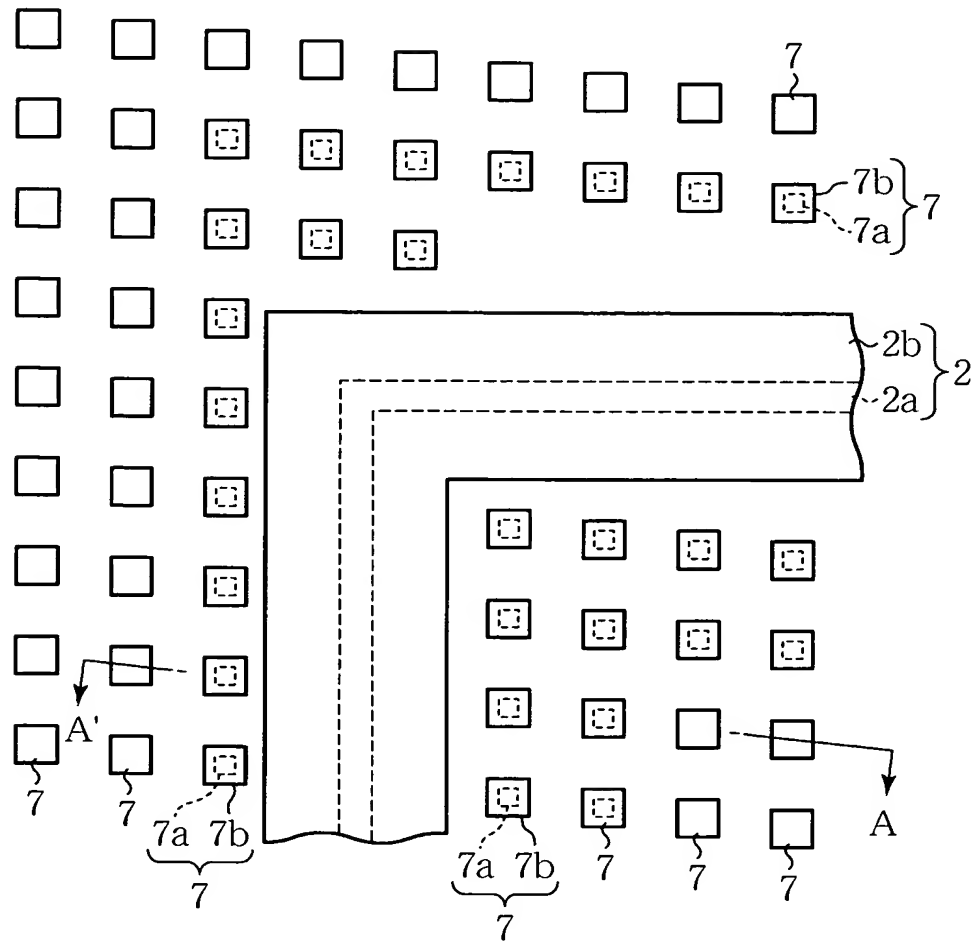
【図 1】

半導体チップ上に形成される配線構造体を示す平面図



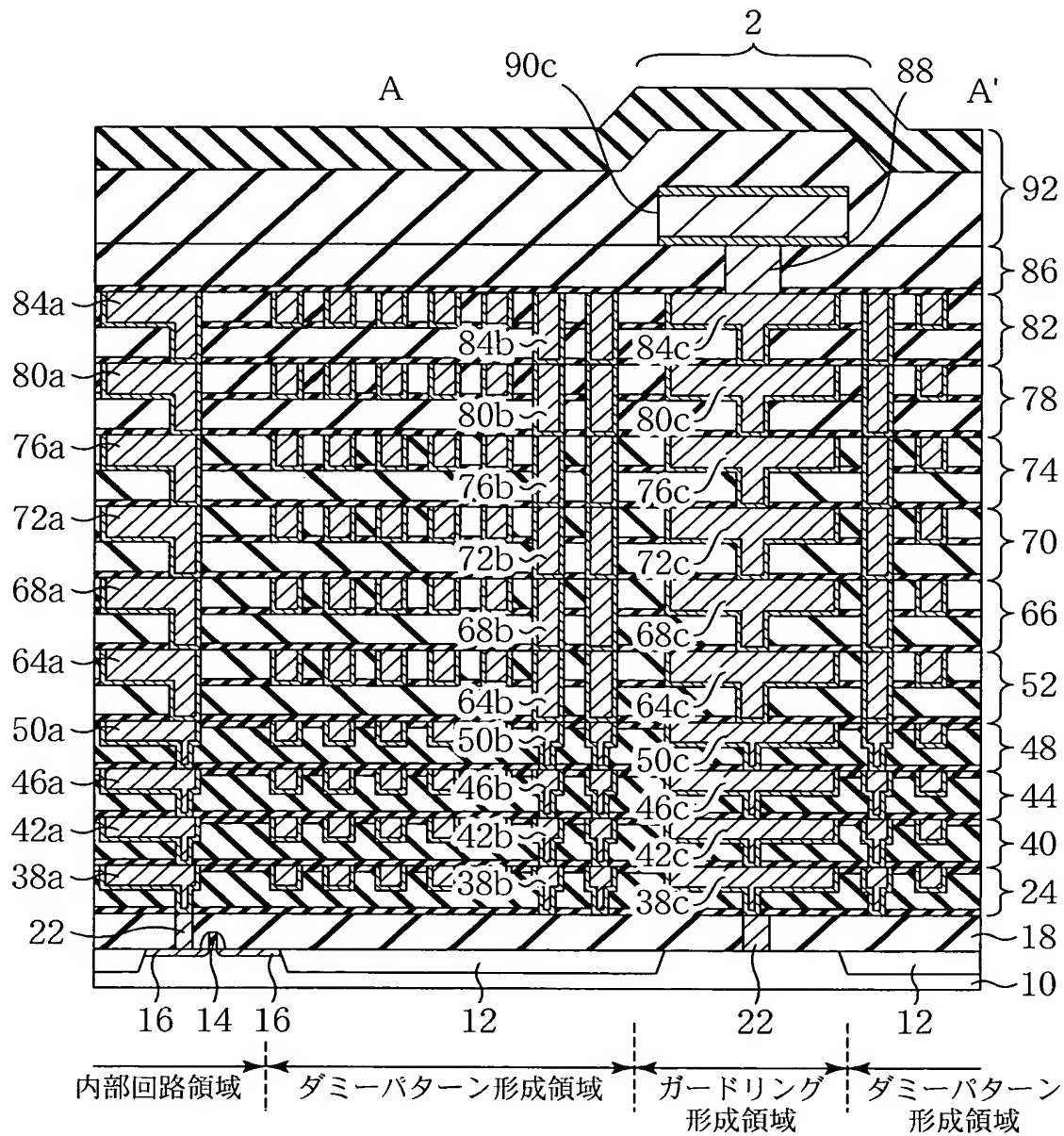
【図 2】

本発明の第1実施形態による半導体装置の構造を示す平面図



【図3】

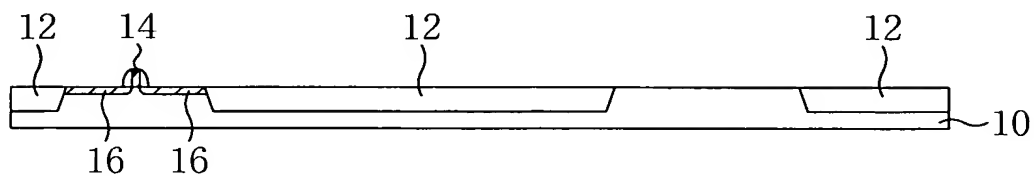
本発明の第1実施形態による半導体装置の構造を示す概略断面図



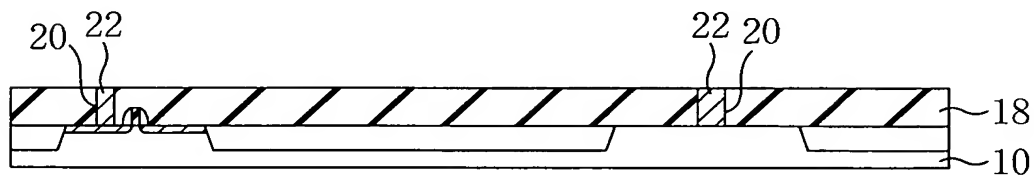
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その1)

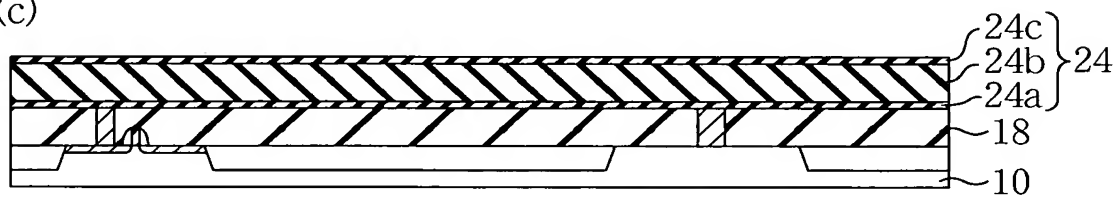
(a)



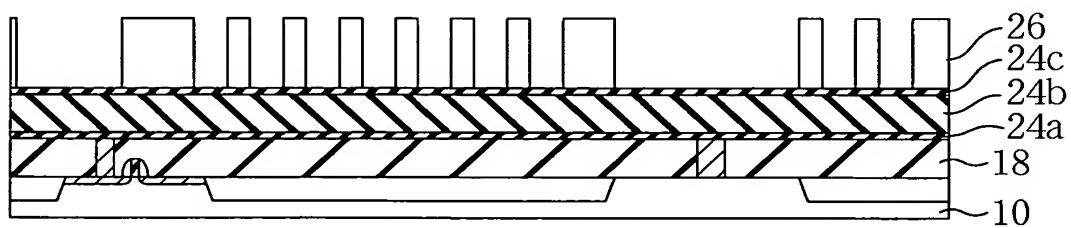
(b)



(c)

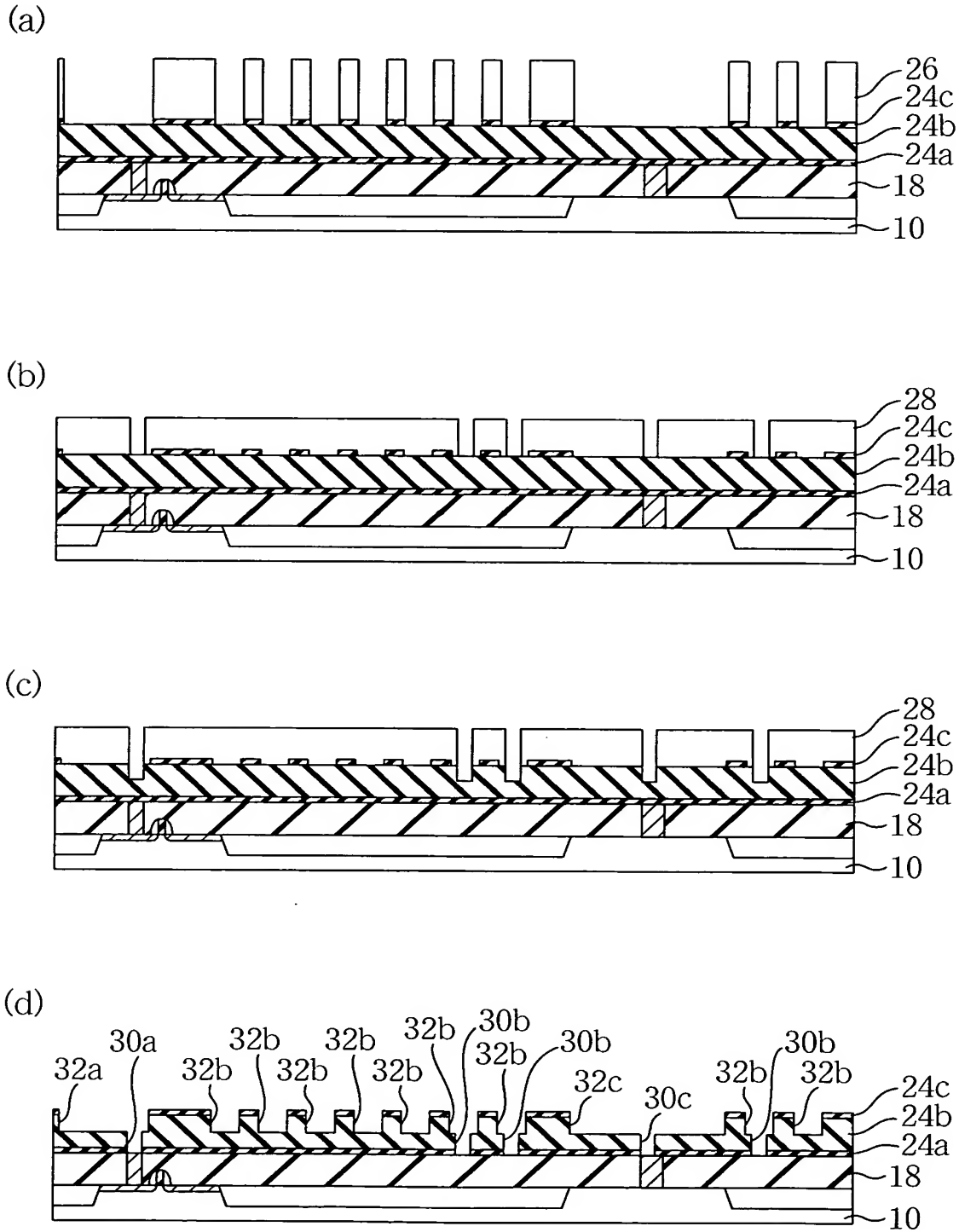


(d)



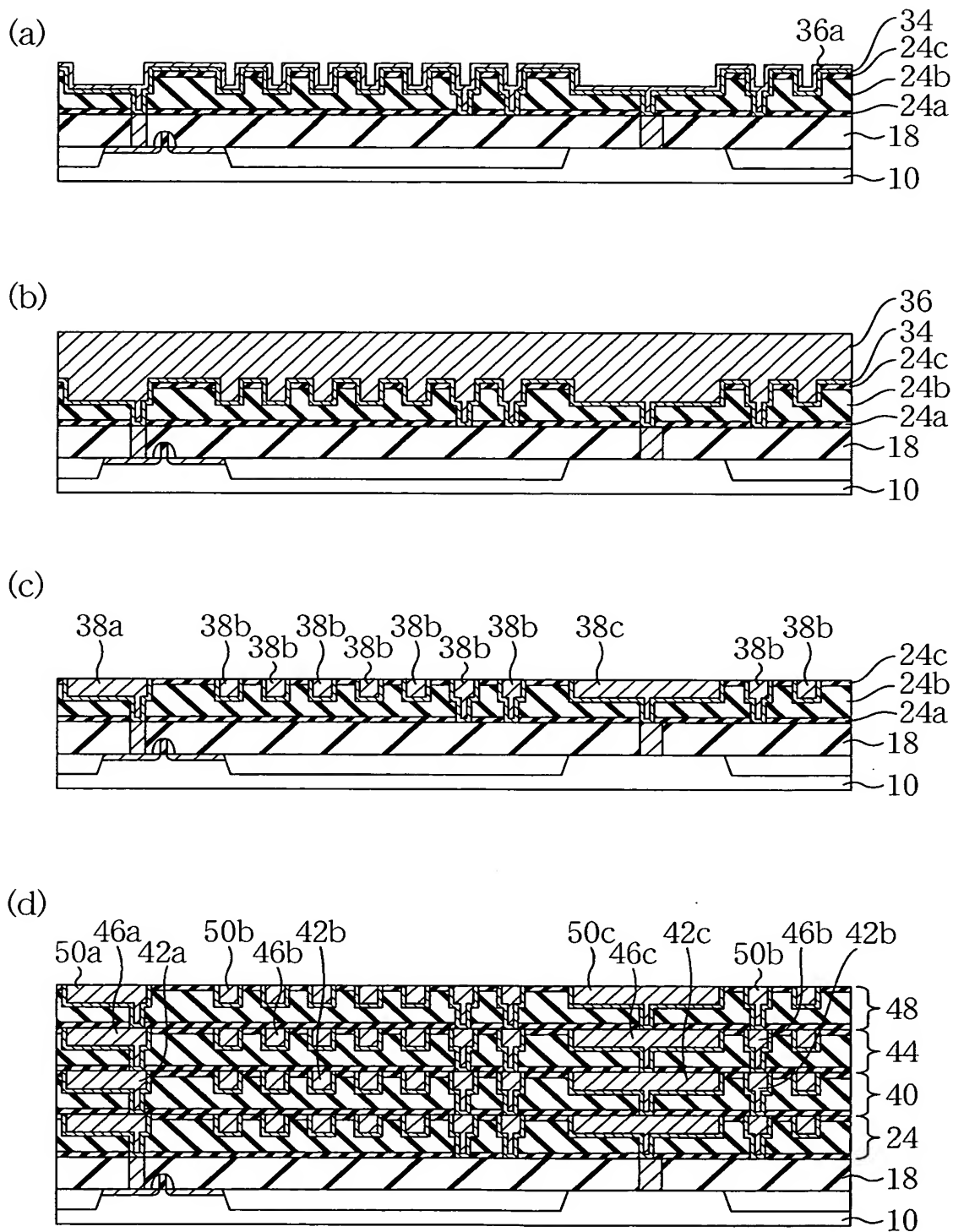
【図 5】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その2)



【図 6】

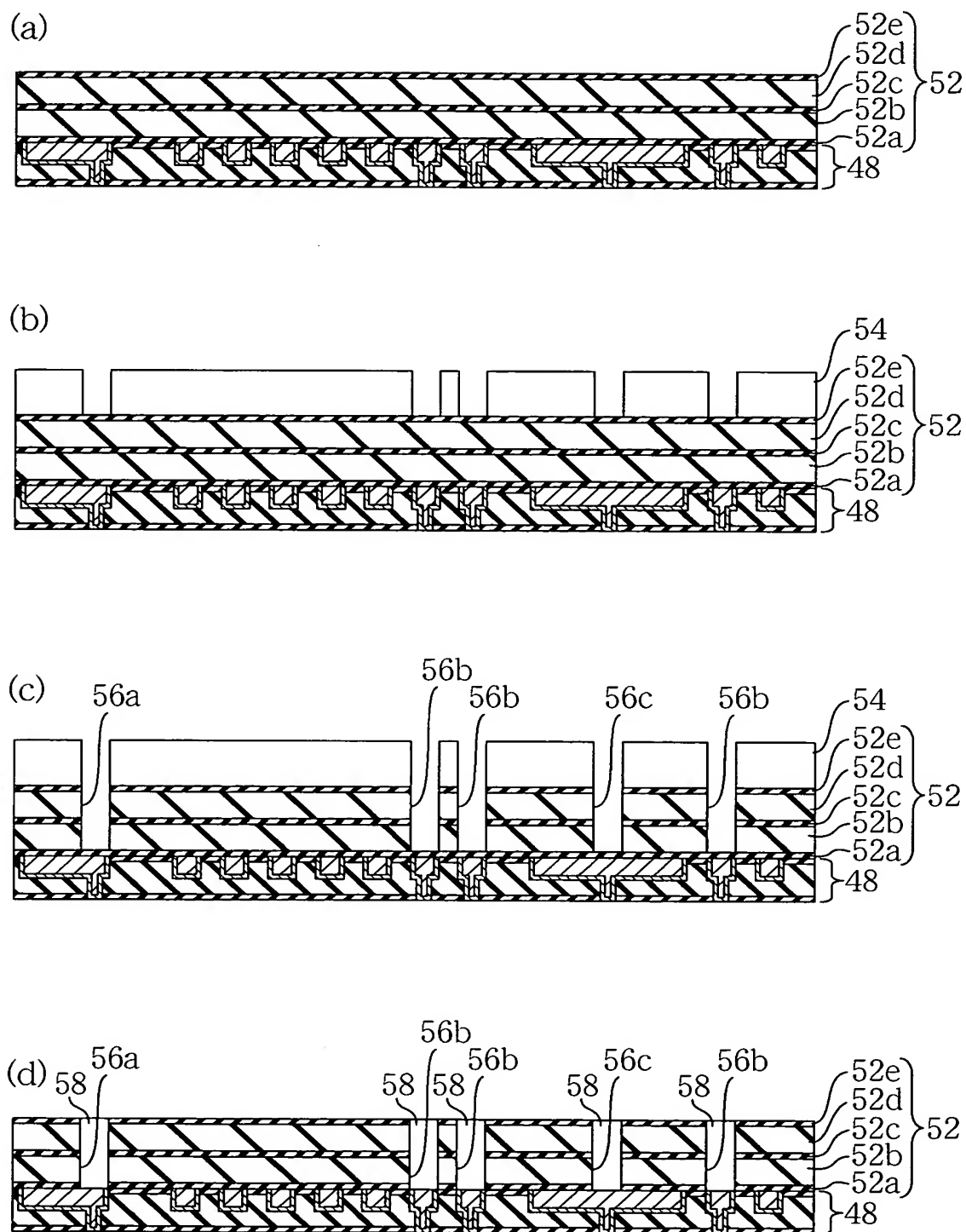
本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その3)





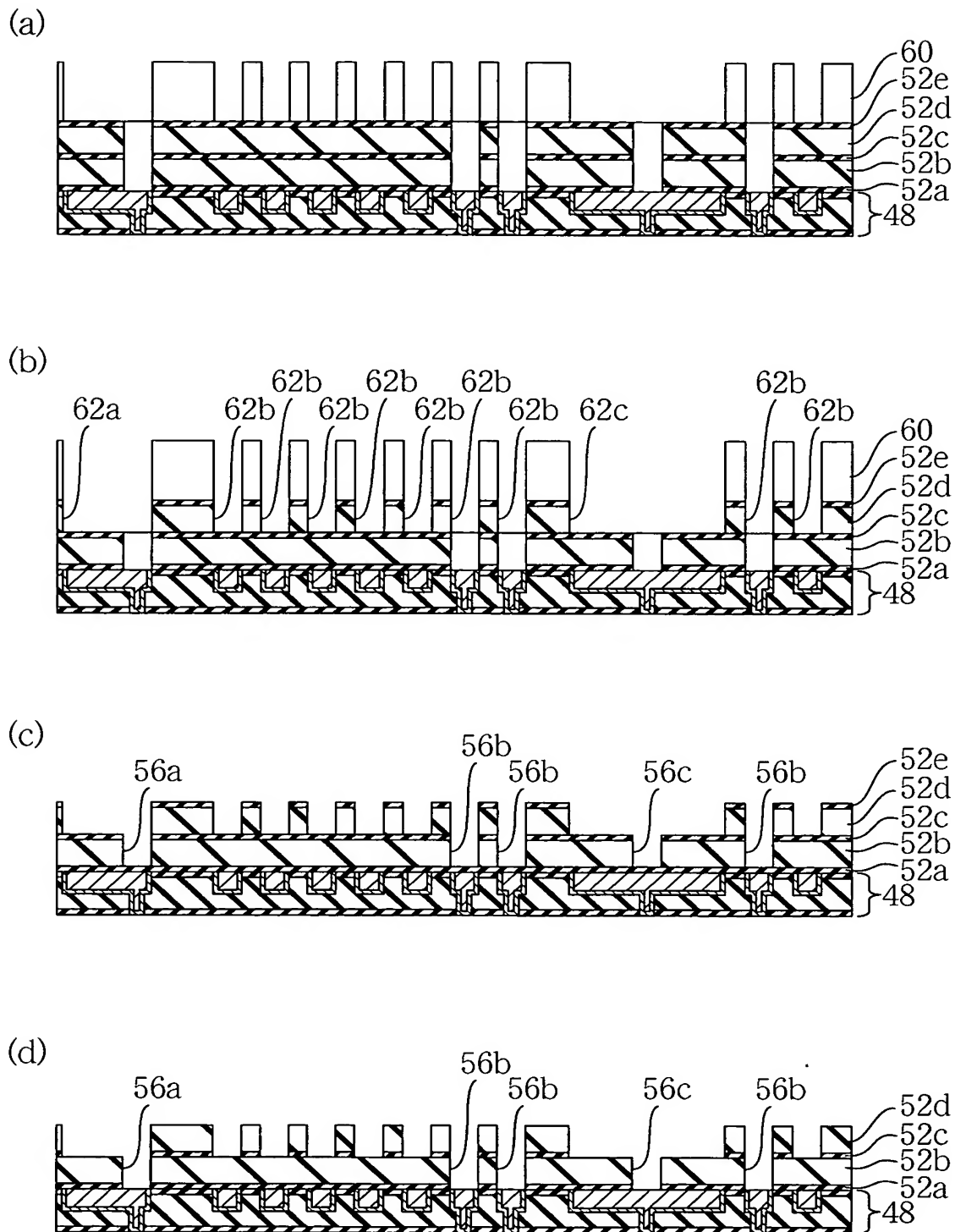
【図 7】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その4)



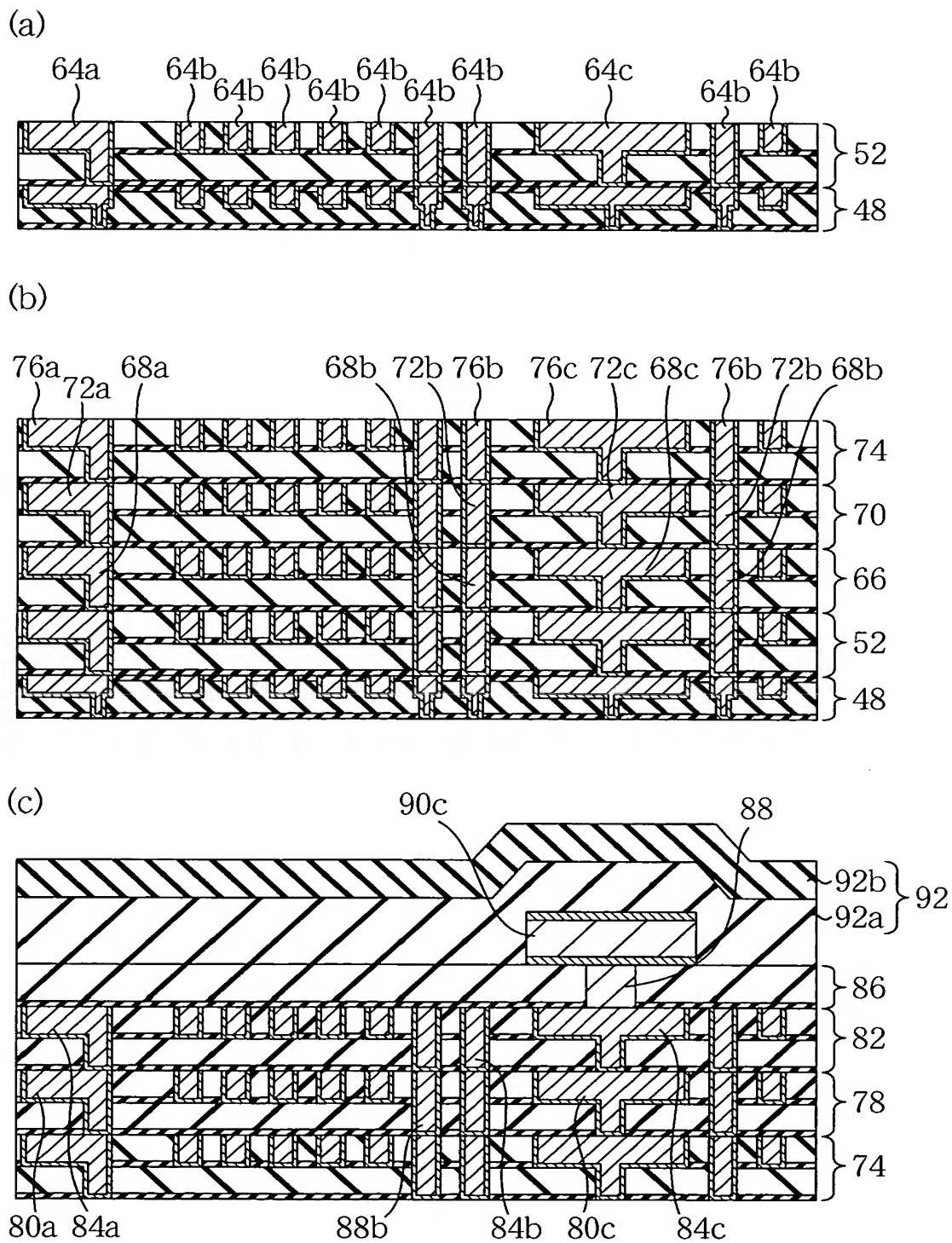
【図 8】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その5)



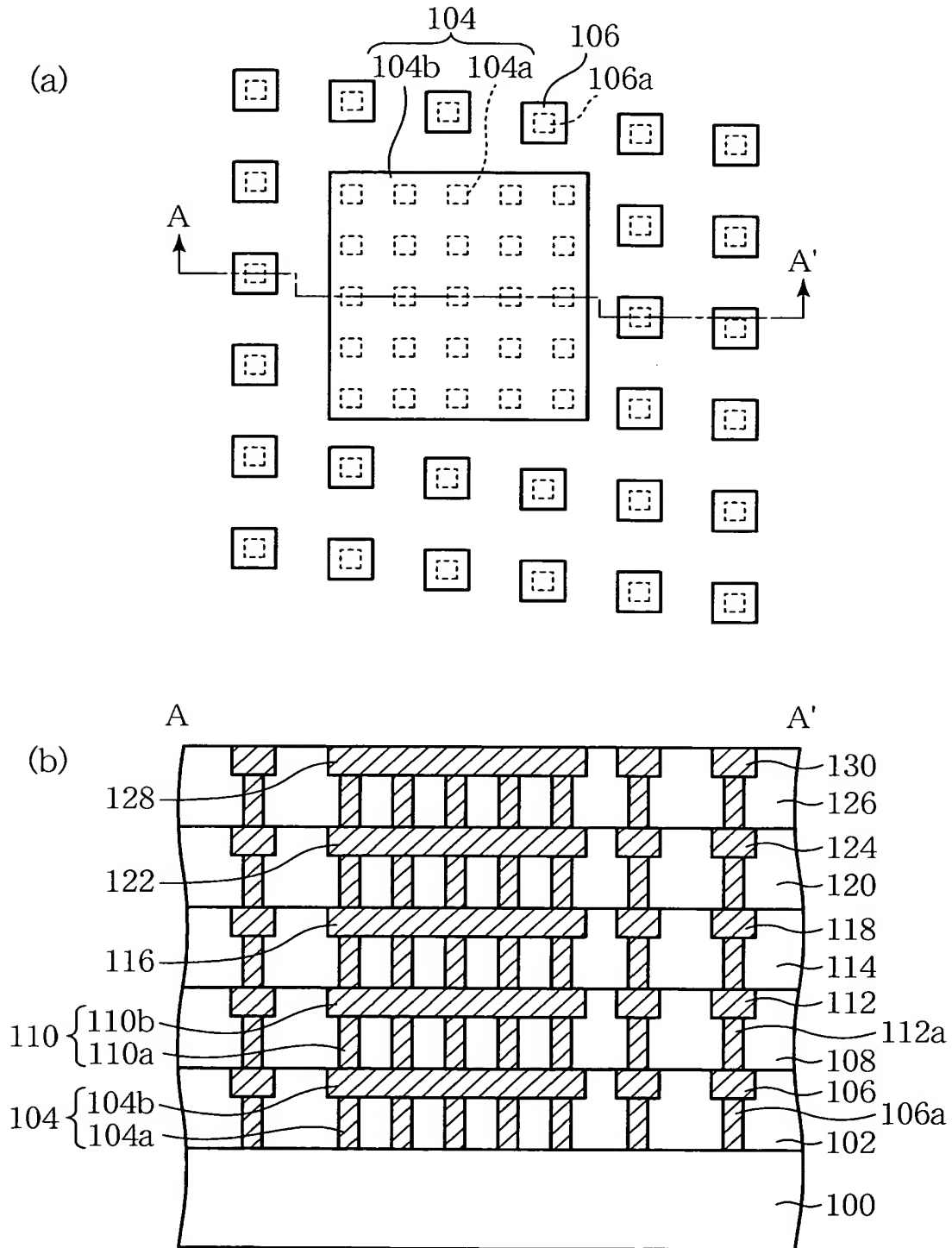
【図 9】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その6)



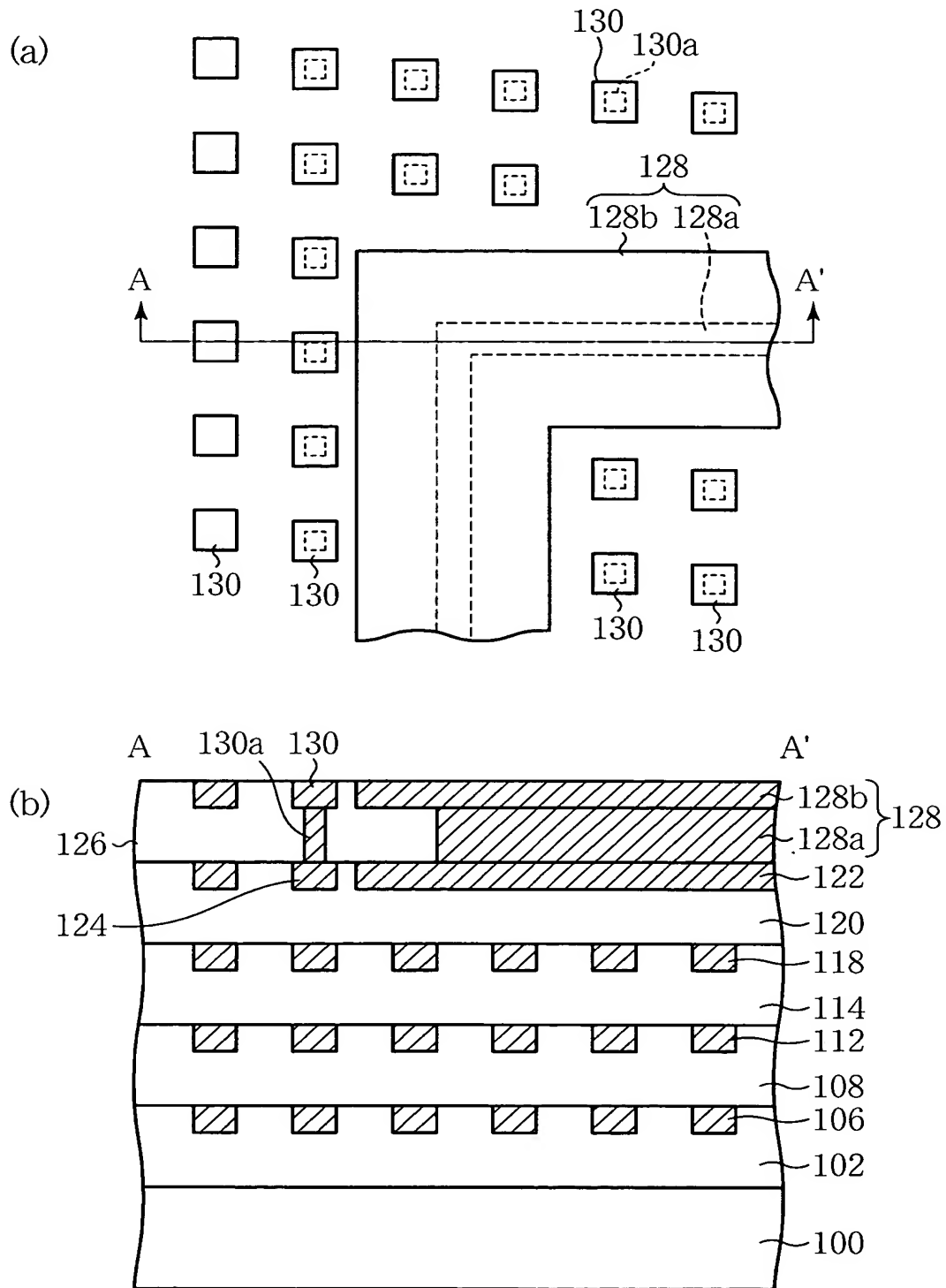
【図 10】

本発明の第2実施形態による半導体装置の構造を示す  
平面図及び概略断面図



【図 11】

本発明の第3実施形態による半導体装置の構造を示す  
平面図及び概略断面図



【書類名】 要約書

【要約】

【課題】 機械的或いは熱的なストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止しうる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上に形成され、複数の絶縁膜よりなる絶縁膜積層体と、絶縁膜積層体に埋め込まれた複数の導電層よりなる配線構造体と、配線構造体を構成する複数の導電層よりなり、複数の絶縁膜の少なくとも表面側にそれぞれ埋め込まれた複数のダミーパターンとを有し、配線構造体近傍の複数のダミーパターンが、ビア部を介して互いに接続されている。これにより、配線構造体近傍の層間絶縁膜が補強され、機械的或いは熱的ストレスにより層間絶縁膜界面或いは層間絶縁膜内部にクラックや剥離が生じるのを防止することができる。

【選択図】 図 3

特願 2 0 0 2 - 3 1 6 6 0 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社